

MICROCOMPUTER

Publication number: JP61123916

Publication date: 1986-06-11

Inventor: ITOKU OSAMU

Applicant: NIPPON ELECTRIC CO

Classification:

- international: G06F1/08; G06F1/04; G06F1/08; G06F1/04; (IPC1-7):
G06F1/04

- european:

Application number: JP19840245302 19841120

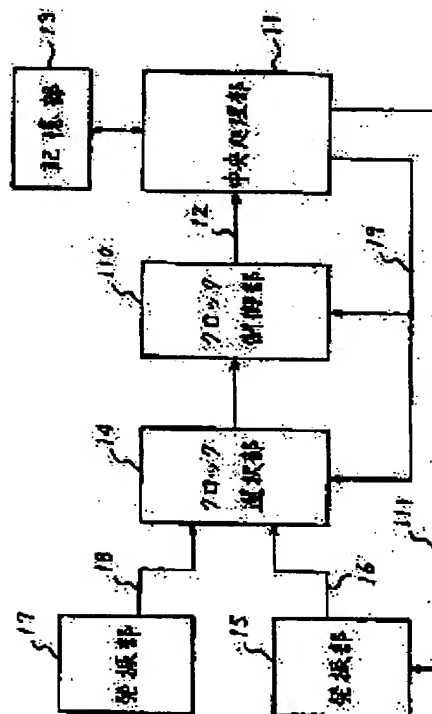
Priority number(s): JP19840245302 19841120

Report a data error here

Abstract of JP61123916

PURPOSE: To reduce the electric power consumption and to obtain a microcomputer with a high stability and a high accuracy by executing the arithmetic processing at a high speed clock at the time of a normal action, acting at a low speed clock at the time of the action of a low electric power consumption and stopping a high speed clock oscillation.

CONSTITUTION: In synchronizing with a CPU clock 12, a CPU 11 executes the arithmetic processing according to a program in a memory part 13. In accordance with a clock switching signal 19 transmitted from the CPU 11, a clock selecting part 14 switches either a basic clock 16 from an oscillating part 15 with a high frequency or a basic clock 18 from an oscillating part 17 with a low frequency and inputs it to a clock control part 110. When the signal 19 is transmitted and the clocks 16 and 18 are switched, an interrupting pulse with a narrow width arises, and therefore the control part 110 inhibits one clock immediately after the signal 19 has been transmitted from being inputted to the CPU 11 and inputs subsequent clock as a clock 12 to the CPU 11. When the CPU 11 acts in synchronizing with the clock 18, it stops the oscillation of the oscillating part 15 by a clock stop signal 111, thereby attaining a low electric power consumption.



Data supplied from the esp@cenet database - Worldwide

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-123916

⑬ Int.Cl.⁴

G 06 F 1/04

識別記号

庁内整理番号

F-7157-5B

⑭ 公開 昭和61年(1986)6月11日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 マイクロコンピュータ

⑯ 特 願 昭59-245302

⑰ 出 願 昭59(1984)11月20日

⑱ 発 明 者 井 徳 修 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

マイクロコンピュータ

2. 特許請求の範囲

異なる周波数で発振する二つの発振部と、該二つの発振部の発生する二つのクロックのいずれか一方に同期して動作する中央処理部と、前記中央処理部からクロック切換信号が発生したとき前記中央処理部への入力クロックを前記二つのクロックの一方から他方へ切換えるクロック選択部と、前記中央処理部への入力クロックのうちクロック切換信号が発生した直後の1クロックが前記中央処理部へ入力されるのを禁止するクロック制御部とを備えたことを特徴とするマイクロコンピュータ。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、特に半導体集積回路として形成されたマイクロコンピュータに関する。

〔従来の技術〕

近年マイクロコンピュータは各種の機器に応用されており、その電源として小容量の電池が用いられることも多い。又、電源の切断時にはコンデンサによってバックアップされることもある。そのためマイクロコンピュータをできる限り長時間にわたり正常動作させるためには、低消費電力化が必要である。

一般にCMOSデバイスの消費電力は、動作時にはその動作周波数に比例し、静止時にはリーク電流による消費電力のみで動作時に比べて非常に小さくなる。

従来CMOSデバイスのこのような性質を利用して各種の低消費電力化されたマイクロコンピュータが発表されている。例えば、マイクロコンピュータ中の所定の動作の行われない回路へのクロックの供給を停止させたり、あるいは発振を停止させ全てのクロックを停止させデータ・メモリ等

の所定の回路をそのまま保持するようにしたマイクロコンピュータや、CR発振器を用いてRの値を変えて発振周波数を変化させるようにしたマイクロコンピュータ等がある。

〔発明が解決しようとする問題点〕

一般にマイクロコンピュータでは応用システムの処理時間を一定に保つ必要があるときクロックの発生に水晶発振器が用いられる。従ってクロックの供給を停止させたり、発振を停止させたりすると所定の動作が継続できない。またCR発振器では周波数の精度がよい安定したクロックの供給ができない。

以上のように従来技術では安定した処理速度をもち、かつ所定の動作を停止させることなく、低消費電力化対策の施されたマイクロコンピュータが得られないという問題点があった。

〔問題点を解決するための手段〕

本発明によれば、異なる周波数で発振する2つの発振部と、これら2つの発振部の発生する2つのクロックのいずれか一方に同期して動作する中

が一方から他方に切り換えられるとき、幅の狭いパルスが発生しこれがCPU11に入力されると誤動作を起こす可能性がある。このため、クロック制御部110はクロック切換信号19が送られた直後の1クロックがCPU11に入力されるのを禁止し、その後のクロックをCPUクロック12としてCPU11に入力する。これによってCPUクロック12として高速の基本クロック16より幅の狭いパルスはCPU11に入力されることがないのでCPU11が誤動作を起こすことを防ぐことができる。また、CPU11は低速の基本クロック18に同期して動作しているときは、クロック停止信号111により高周波の発振部15の発振を停止させ低消費電力化を図る。

第2図はクロック選択部14とクロック制御部110の具体的な回路例であり、第3図はクロック切換時の各種信号のタイミングチャートである。以下に第2図、第3図を参照して本発明の一実施例の動作を説明する。

初期状態ではR-S-F/F21はリセットされ、

中央処理部と、中央処理部からクロック切換信号が発生したとき中央処理部への入力クロックを2つのクロックの一方から他方へ切換えるクロック選択部と、中央処理部への入力クロックのうちクロック切換信号が発生した直後の1クロックが中央処理部へ入力されるのを禁止するクロック制御部とを備えたマイクロコンピュータを得る。

〔実施例〕

次に、図面を参照して、本発明をより詳細に説明する。

第1図は本発明の一実施例を示すブロック図である。中央処理部(以後CPUという)11はCPUクロック12に同期して記憶部13に記憶されたプログラムに従って演算処理を実行する。クロック選択部14は高周波で発振する発振部15からの基本クロック16と低周波で発振する発振部17からの基本クロック18のいずれか一方をCPU11から送られるクロック切換信号19に従って切り換え、クロック制御部110に入力する。クロック切換信号19が送られ、基本クロック16、18

R-S-F/F22はセットされているとする。このとき、クロック選択部14中のANDゲート23、24、ORゲート25で構成されるマルチプレクサにより高速のクロック16が選択され、クロック信号26としてクロック制御部110中のANDゲート27に入力される。R-S-F/F22の出力は"1"であるから、クロック信号2-6即ち高速のクロック16がCPUクロック12としてCPU11に入力される。

タイミングT1で、CPU11から高速から低速へのクロック切換信号28がクロック選択部14に入力されたとする。又クロック切換信号28は高速の基本クロック16に同期しているものとする。このとき、R-S-F/F21はリセットされるため、低速の基本クロック18が選択され、クロック信号26としてクロック制御部110に入力される。第3図からわかるようにクロック信号26に幅の狭いパルス31がタイミングT1で発生する。一方、R-S-F/F22はORゲート29を通してクロック切換信号28によりタイミングT1

でリセットされるため、ANDゲート27により上記のクロック信号26の幅の狭いパルス31はカットされる。そしてクロック信号26が次に"1"となるタイミングT2でR-S-F/F22がセットされ、クロック信号26がCPUクロック12としてCPU12に入力される。

タイミングT3で低速から高速へのクロック切換信号210が発生すると、R-S-F/F21はリセットされ高速の基本クロック16がクロック信号26としてクロック制御部110に入力される。クロック切換信号210も高速の基本クロック16に同期している。タイミングT3では、R-S-F/F22がクロック切換信号210によりリセットされるため、タイミングT3で発生する幅の狭いパルス32はANDゲート27によりカットされる。そして次にクロック信号26が"1"となるタイミングT4でR-S-F/F22がセットされ、クロック信号26がCPUクロック12としてCPU11に入力される。

このようにクロック制御部110はR-S-F/F

が得られる。

例えば、通常動作時には419MHzのクロックで高速動作し、低消費電力動作時には32kHzの低速クロックで時計機能だけは継続させておくことができるなどその効果は大きい。

4. 図面の簡単な説明

第1図は本発明の実施例のブロック図、第2図は本発明の一実施例のクロック選択部、クロック制御部の具体的な回路例を示すブロック図、第3図は本発明の一実施例の動作を示すタイミングチャートである。

11……中央処理部、12……CPUクロック、13……記憶部、14……クロック選択部、15、17……発振部、16、18……基本クロック、19……クロック切換信号、110……クロック制御部、111……クロック停止信号、21, 22……R-S-F/F、23, 24, 27……ANDゲート、25, 29……ORゲート、26……クロック信号、28, 210……クロック切換信号、

22とANDゲート27によってクロック切換直後の1クロックを除去し、幅の狭いパルスが発生してもCPUクロック12としてCPU11に入力されないよう制御している。これによって、高速、低速のクロックを切換えたときでもCPU11に誤動作が起これるのを防ぐことができるので、任意に高速・低速のクロックを切換えることができる。そして低速の基本クロック18で動作しているときは高速のクロックの発振部15の発振を停止させれば、CPU11が高速の基本クロック16で動作しているときに比べて大幅に消費電力を減少させることができる。

(発明の効果)

以上説明したように、本発明のマイクロコンピュータは、上記の構成により通常動作時には高速のクロックにより演算処理の高速化を実現し、低消費電力動作時には低速のクロックに切り換えて動作し高速のクロックの発振を停止させることができるので、消費電力を低減して、常に安定した精度の高い動作速度をもつマイクロコンピュータ

31, 32……幅の狭いパルス。

代理人 弁理士 内 原 晋



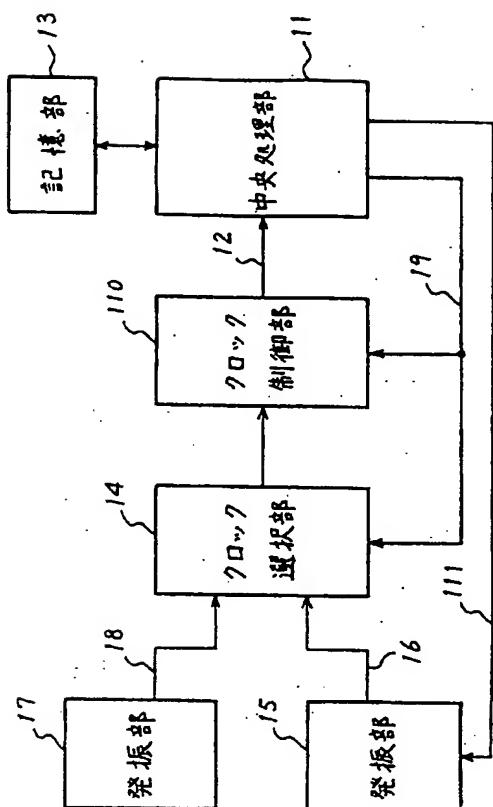
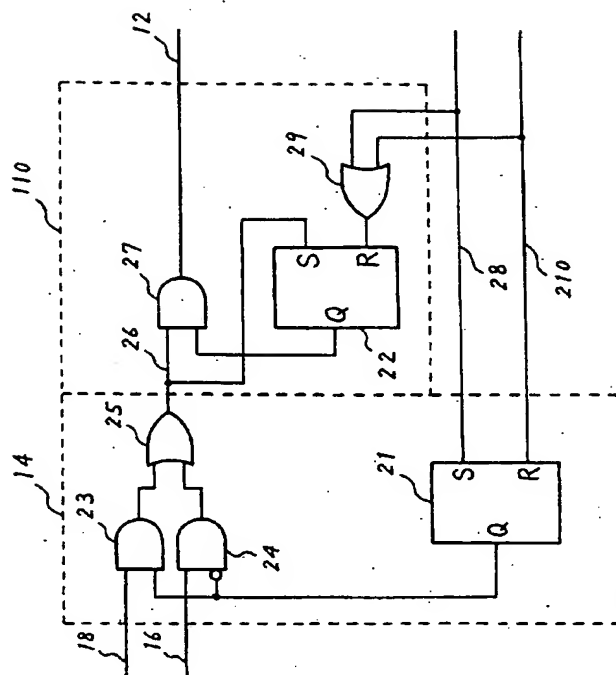
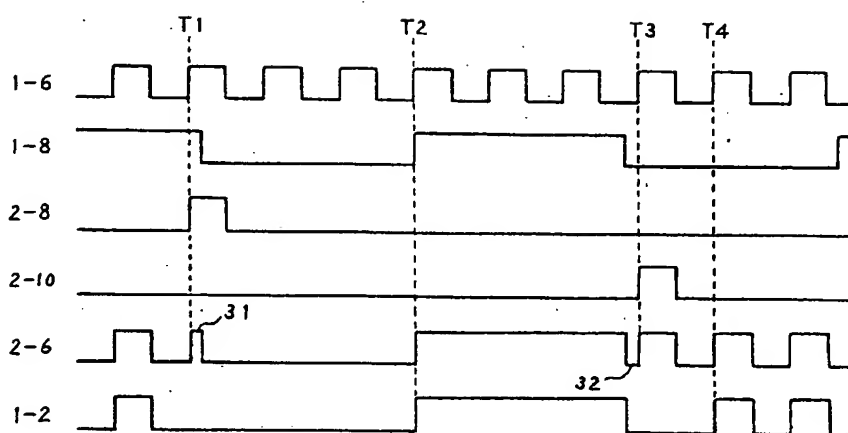


圖
一
册



2冊



第 3 図